

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008391203      \*\*Image available\*\*

WPI Acc No: 1990-278204/199037

Thin film semiconductor unit - has gate electrode through gate insulation  
film, to cover side walls of thin film patterns    NoAbstract Dwg 1f/3

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2194561</b>	A	19900801	JP 8913094	A	19890124	199037 B

Priority Applications (No Type Date): JP 8913094 A 19890124

Title Terms: THIN; FILM; SEMICONDUCTOR; UNIT; GATE; ELECTRODE; THROUGH;  
GATE; INSULATE; FILM; COVER; SIDE; WALL; THIN; FILM; PATTERN; NOABSTRACT

Derwent Class: U12; U13

International Patent Class (Additional): H01L-027/09; H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03219061      \*\*Image available\*\*

THIN-FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.:      02-194561 [JP 2194561 A]

PUBLISHED:      August 01, 1990 (19900801)

INVENTOR(s):    SERIKAWA TADASHI

ISHIMOTO AKITERU

APPLICANT(s):   NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese

Company or Corporation), JP (Japan)

APPL. NO.:      01-013094 [JP 8913094]

FILED:          January 24, 1989 (19890124)

INTL CLASS:     [5] H01L-029/784; H01L-027/092; H01L-029/40

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R097 (ELECTRONIC

MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 991, Vol. 14, No. 476, Pg. 10,

October 17, 1990 (19901017)

#### ABSTRACT

**PURPOSE:** To form a high-performance device on a low-cost substrate by a method wherein channels of thin-film transistors are formed on side wall parts of patterns of a first semiconductor thin film and a second semiconductor thin film.

**CONSTITUTION:** When an n-channel thin-film transistor is manufactured at an end part of a pattern of a first semiconductor thin film 23 and a p-channel thin-film transistor is manufactured at an end part of a pattern of a second semiconductor thin film 25, a first conductive layer 22 is constituted of a semiconductor thin film containing n-type impurities such as P, As or the like and a third conductive layer 26 is constituted of a semiconductor thin film containing p-type impurities such as B or the like.

In addition, as a second conductive layer 24, a semiconductor thin film containing the n-type impurities is arranged on the side coming into contact with the first semiconductor thin film 23 while a semiconductor thin film containing the p-type impurities is arranged on the side coming into contact with the semiconductor thin film 25; it is sufficient to use a conductive layer of a three-layer structure in which a metal film is sandwiched between the semiconductor films. Since a crystal state of the semiconductor thin film may be polycrystalline, they can be manufactured at a low temperature. It is possible to form a high-performance device on a low-cost substrate such as glass or the like.

ング素子として注目され、盛んに研究が行われており、例えばD. S. Malhi等による論文が、I E E E Trans. Electron Devices ED-32(1985)pp258~281に報告されている。このような用途に使用される半導体薄膜としては、アモルファス状態、多結晶状態や単結晶状態のものまである。しかし、アモルファス状態の薄膜を用いた半導体装置では、性能が他の2者に比べて劣る問題がある。高性能な薄膜半導体装置としては、現在、多結晶状態もしくは単結晶状態の半導体薄膜を用いるものが最も広く研究されている。これらの薄膜半導体装置は、キャリアとして電子を用いるnチャネル型薄膜トランジスタ、もしくは、ホールを用いるpチャネル型薄膜トランジスタのいずれかを使用している。このような薄膜半導体装置では、動作時の消費電力が大きく、その用途は、著しく制限されている。従って、この消費電力を低減するために、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを、同一基板上に形成し、これらの薄膜トランジスタを連結した構造

薄膜トランジスタ、ならびにnチャネル型薄膜トランジスタのドレイン電極相互を、結線することにより相補型薄膜半導体装置の製造を終わる〔第1図(f)〕。

以上のような構造を有する薄膜半導体装置におけるゲート電極14、14'に、制御電圧を印加すると、ゲート絶縁膜13、13'と半導体薄膜12、12'との界面近傍に、電子もしくはホールから成るキャリアが誘起され、チャネルが形成される。この状態で、ソース電極/ドレイン電極16、16'との間に電圧を加えることにより、両電極間を上記チャネルに沿って電流が流れ、相補型薄膜半導体装置として動作する。

しかし、第1図に示した従来の半導体装置には、その構造に起因する特性上の欠点がある。すなわち、チャネルが、数 $\mu$ mから数十 $\mu$ mと長いと、十分に大きなドレイン電流を得ることが困難である。この問題を解決するために、チャネル長をさらに短くする方法がとられている。しかし、この方法では、加工技術の限界値よりもチャネル長を短く

の相補型薄膜半導体装置が試みられている。

この種の相補型薄膜半導体装置は、従来、第1図に示す工程によって製造されている。シリコンのような半導体もしくは絶縁材から成る基板11上に、多結晶状態、もしくは単結晶状態の半導体薄膜のボタン12、12'を所望の位置に形成し、ゲート絶縁膜13、13'を形成した〔第1図(a)〕後、これを介して、ゲート電極14、14'が形成される〔第1図(b)〕。その後、半導体薄膜のボタン12とゲート電極11とを露出し、一方、半導体薄膜のボタン12'とゲート電極14'とを、レジスト15等で覆い、この状態でn型の導電性を示す燐やひ素をイオン注入し、ソース/ドレイン電極16を形成する〔第1図(c)〕。次に、イオン注入を施した半導体薄膜のボタン12を、レジスト17等で覆った状態で、半導体薄膜のボタン12'に、p型の導電性を示すボロンをイオン注入し、ソース/ドレイン電極16'を形成する〔第1図(d)〕。その後、層間絶縁膜18の形成とスルーホール開口を行う〔第1図(e)〕。次に配線19の形成により、pチャネル型

できず、性能向上にも限界がある。さらに、チャネル長を短くすると、相対的に、加工のばらつき、すなわち、半導体装置の性能のばらつきが大きくなり、装置の製造歩留まりが低下する欠点が生じてくる。

さらに、第1図に示した相補型薄膜半導体装置における半導体薄膜としては、多結晶状態、もしくは単結晶状態のものが広く用いられている。多結晶半導体薄膜を有する薄膜半導体装置では、単結晶状態のものに比べて、著しく劣った特性しか得られないのが現状である。その理由は、結晶粒同士の境（通常、結晶粒界と称されている）が、ソース電極とドレイン電極との間でのキャリアの流れの妨げとなり、キャリアの移動度が低下するからである。

この半導体薄膜からなる半導体装置の欠点を除去する目的で、キャリアの流れの妨げとなっている結晶粒界の、チャネル内での本数を減らすか、もしくは、無くする方法が提案されている。前者のチャネル内での結晶粒界を減らす方法は、長時

間の熱処理を施すことにより、結晶粒を巨大化するものである。この方法は、数十時間という極めて長い熱処理を必要とする欠点がある。さらに、この方法による装置の性能も十分でない。

一方、チャネル内から結晶粒界を無くし、半導体装置の性能を向上するために、多結晶状もしくはアモルファス上の半導体薄膜にレーザ光もしくは電子ビームを照射して、一度溶融し、単結晶状態にする方法も広く用いられている。しかし、この方法は、半導体装置の性能は優れているが、半導体薄膜が溶融するために、基板として、安価なガラス等の耐熱性に劣る基板を使用することは困難である。

以上に述べたように、従来の薄膜半導体装置では、優れた性能が得られなかったり、安価な基板が使用できない欠点、さらに、製造歩留まりが低下する欠点がある。

### (3) 発明の目的

本発明の目的は、従来からの相補型薄膜半導体装置における前記の問題点を解決し、高性能な装

置を、安価な基板にも形成できるようにした薄膜半導体装置とその製造方法を提供することである。

### (4) 発明の構成

本発明の薄膜半導体装置のチャネルは、半導体薄膜のバタンの側壁部に形成されており、半導体薄膜の面上に形成されている従来のものとは異なり、著しく優れた性能が得られる。以下、実施例を用いて、本発明の薄膜形半導体装置とその製造方法を詳細に述べる。

第2図は、本発明の実施例を説明するための断面図である。シリコンのような半導体もしくは絶縁材から成る基板21上に、第一の導電層22を形成し、その後、順次、第一の半導体薄膜23、第二の導電層24、第二の半導体薄膜25、第三の導電層26を形成する〔第2図(a)〕。その後、第一の導電層22をはじめ、第一の半導体薄膜23、第二の導電層24、第二の半導体薄膜25、第三の導電層26をエッチング加工し、ゲート絶縁膜27を堆積する〔第2図(b)〕。これら、加工を施した半導体薄膜23、25

のバタンの側壁部を覆って、ゲート電極28を形成する。次に、第一の導電層22の一部、ならびに第二の導電層24の一部が露出した状態になるように、第一の半導体薄膜23、第二の導電層24、第二の半導体薄膜25、第三の導電層26およびゲート絶縁膜27をエッチング加工する〔第2図(c)〕。その後、層間絶縁膜29の堆積とスルーホール開口を行い〔第2図(d)〕、配線30を形成して、半導体装置の製造を終わる〔第2図(e)〕。

以上のようにして製造した相補型薄膜半導体装置における薄膜トランジスタのチャネルは、第一の半導体薄膜23、ならびに第二の半導体薄膜25のバタンの側壁部に形成されている。従って、ゲート電極28に、制御電圧を印加すると、第一の半導体薄膜23、ならびに、第二の半導体薄膜25のバタンの側壁部にキャリアが誘起され、チャネルが形成される。この状態で、第一の導電層22、ならびに、第三の導電層26との間に電圧を印加すると、相補型薄膜半導体装置として動作し、第二の導電層24に所定の出力が現れる。

第2図に示した第一の半導体薄膜23、ならびに第二の半導体薄膜25は、気相成長法や真空蒸着法により、単結晶、もしくは多結晶のものを堆積するか、あるいは上記の方法やスパッタリング法によってアモルファス状態の薄膜を堆積し、この薄膜にレーザ光や電子ビームを照射したり、炉中でのアニール処理により、単結晶、もしくは多結晶状態に変えて製作される。このような構造になっているため、以下に述べる理由から、たとえ半導体薄膜が多結晶状態であっても、第1図に示した従来の半導体装置に比べて、その性能を著しく向上することができる。

この理由は、本発明の装置では、チャネル長は、専ら、半導体薄膜の膜厚によって決まり、加工精度に特に留意することなく、従来の半導体装置のチャネル長が数 $\mu\text{m}$ から数100 $\mu\text{m}$ であるの対して、半導体薄膜の厚さに等しい0.05 $\mu\text{m}$ から5 $\mu\text{m}$ の範囲にまで小さくできるために、大きなドレイン電流値が得られるからである。

さらに、本発明に用いられる第一、第二の半導

体薄膜が単結晶でなく、たとえ多結晶であっても、この多結晶半導体薄膜における結晶粒の特性を制御することにより、本発明半導体装置の性能をさらに向上することができる。即ち、スパッタリング法によって、アモルファス状のシリコンもしくはゲルマニウムあるいはこれらを混合した半導体薄膜を堆積した後、レーザ光もしくは電子ビームを照射して多結晶化すると、基板面に垂直な柱状の結晶粒から成る半導体薄膜となる。この半導体薄膜の結晶粒界は、基板面に垂直で、チャネルの方向とほぼ平行になり、キャリアの輸送の妨げとはならない。このため、半導体装置の性能をさらに向上することができるからである。

上述の本発明における半導体薄膜の厚さとしては0.05 $\mu$ mから5 $\mu$ mの範囲が最も適している。その理由としては、厚さ0.05 $\mu$ m未満では、均一な多結晶半導体薄膜を得ることができず、性能の劣った半導体装置となる。一方、5 $\mu$ mよりも厚くすると、薄膜が基板から剝離したり、あるいはこの薄膜の加工が困難となる問題が生じてくる。

ことができ、これに比例してドレイン電流を増大することができる。

なお、第2図や第3図に示した相補型薄膜半導体装置における、上層部および下層部の薄膜トランジスタをpチャネル型、nチャネル型のいずれにするかは、これらの薄膜トランジスタのソース電極およびドレイン電極を構成する材料により定めることができる。例えば、第2図や第3図において、第一の半導体薄膜23、33のバタンの端部にnチャネル薄膜トランジスタを、一方、第二の半導体薄膜25、35のバタンの端部にpチャネル薄膜トランジスタを製作するには、第一の導電層22、32をPやAs等のn型不純物を含む半導体薄膜で、一方、第三の導電層26、36は、B等のp型不純物を含む半導体薄膜で構成し、さらに第二の導電層24、34としては、第一の半導体薄膜23、33に接する側にはn型不純物を含む半導体薄膜を、一方、第二の半導体薄膜25、35に接する側にはp型不純物を含む半導体薄膜を配し、さらに、これらの半導体薄膜で金属膜を挟んだ3層構造の導電層を用

さて、本発明の半導体薄膜としては、シリコンやゲルマニウムもしくは、これらの混合物の他に、GaAsやInSb等の化合物半導体も有効である。しかし、シリコンやゲルマニウムの単体もしくは、これらの混合物は、薄膜の形成と特性の制御が容易であるために本発明には最も適している。

第2図に述べた本発明の実施例では、チャネルが半導体薄膜のバタンの端部の一部即ち、バタンの外周の一部のみを使用している。しかし、本発明によると、第2図に示すのと本質的に同じ製造方法により、バタンの全周をチャネルとして使用することができる。第3図は本発明の他の実施例である。ゲート絶縁膜37とゲート電極38を、第一の半導体薄膜33、ならびに、第二の半導体薄膜35のバタンの周辺部全体をおおって形成し、この周辺部全体がチャネルとなっている。31は基板を表わし、32、34および36は、ソース電極/ドレイン電極となる第一の導電膜、第二の導電膜、および第三の導電膜である。このようにすることにより、半導体装置のチャネル幅を著しく大きくする

いれば良い。上述とは反対に、第一の半導体薄膜23、33にpチャネル薄膜トランジスタを、一方、第二の半導体薄膜25、35にはnチャネル薄膜トランジスタの相補型薄膜半導体装置の場合には、第一、第二、第三の導電層における半導体薄膜中の不純物の型を取り替えばよい。また、第一の導電層22、32や第三の導電層26、36としては、不純物を含む半導体薄膜と金属膜との複合膜とすることにより、この導電層の抵抗が低くなり、本半導体装置をさらに高性能にすることができる。

以上に示した本発明では、半導体薄膜の結晶状態は多結晶であれば良いために、低い温度で製造することができる。このために、ガラス等の安価な基板状に高性能な半導体装置を形成することができる。

#### (5) 発明の効果

以上に説明したように、本発明では、チャネルを半導体薄膜のバタンの側壁部に形成するために、チャネルの短い薄膜半導体装置となる。さらに、本半導体薄膜が多結晶状態の場合には、キャリア

の輸送の妨げとなる結晶粒界をチャネルの方向とほぼ平行にすることができる。これらの理由から、本発明により高性能な相補型薄膜半導体装置が得られる。

さらに、本発明では、低い温度で相補型薄膜半導体装置が製作できるため、安価なガラス等の基板が使用できる利点もある。

#### 4. 図面の簡単な説明

第1図は従来の薄膜形半導体装置の製造方法を説明するための断面図、第2図は本発明による薄膜形半導体装置の製造方法を説明するための断面図、第3図は本発明による薄膜形半導体装置の他の実施例を示す断面図である。

11, 21, 31…基板、 12, 12'…半導体薄膜パタン、 23, 33…第一の半導体薄膜、  
25, 35…第二の半導体薄膜、 22, 32…第一の導電層、 24, 34…第二の導電層、 26, 36…第三の導電層、 13, 13', 27, 37…ゲート絶縁膜、 14, 14', 28, 38…ゲート電極、

16, 16'…ソース電極/ドレイン電極、

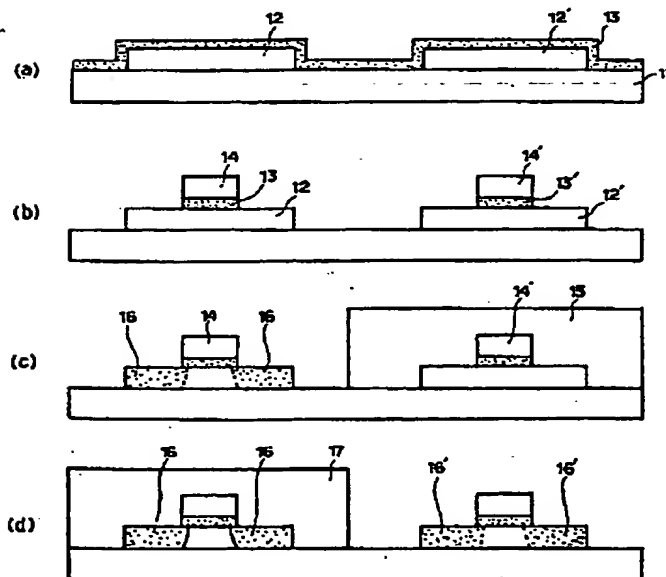
18, 29, 39…層間絶縁膜、 19, 30, 40…配線。

特許出願人 日本電信電話株式会社

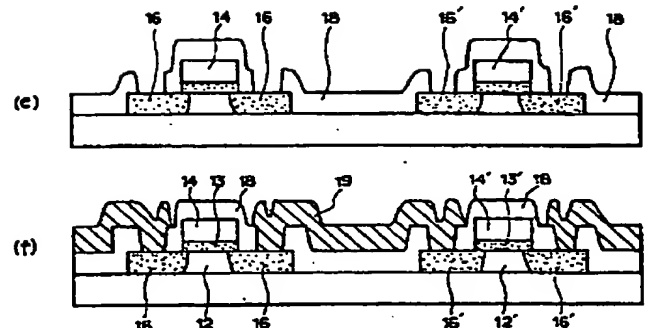
代理人 弁理士 白水 常雄

外1名

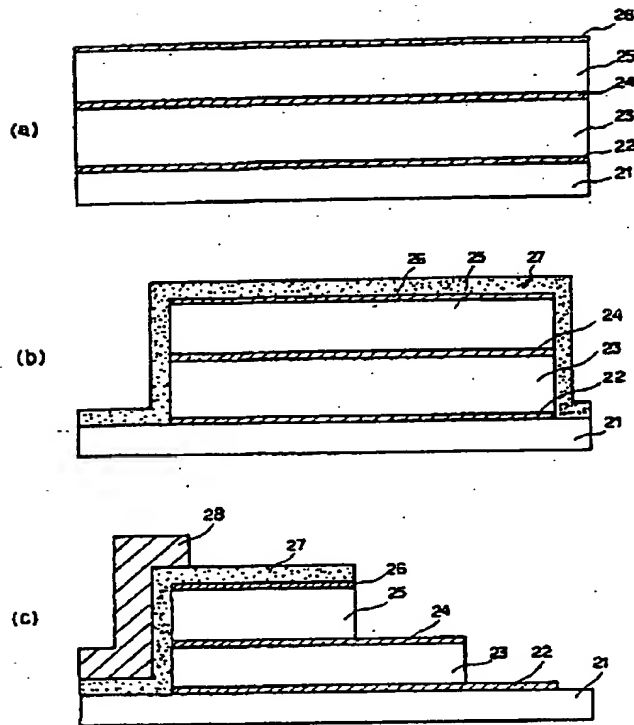
第1図



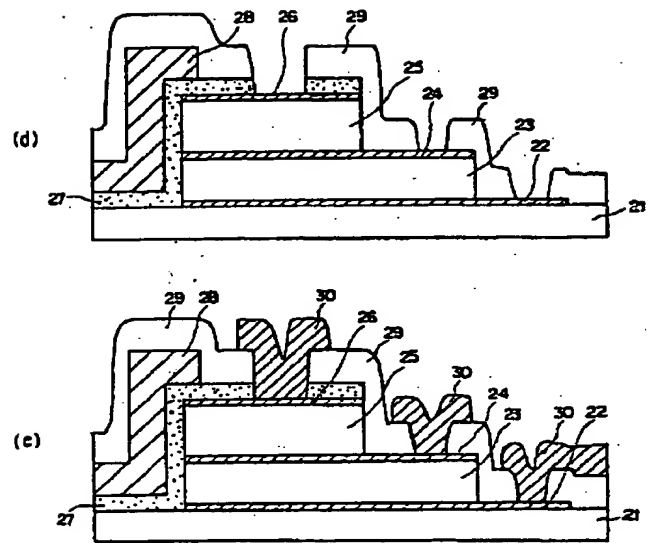
第1図



第 2 図



第 2 図



第 3 図

